

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

007894170 **Image available**

WPI Acc No: 1989-159282/198922

XRPX Acc No: N89-121470

Active matrix substrate for liquid crystal display - includes circuit for switching on each of picture elements comprising gate but line, source bus line and switching transistor

Patent Assignee: SHARP KK (SHAF)

Inventor: KATAYAMA M; MORIMOTO H; SHIMADA Y; TANAKA H; SAIDAJI M M

Number of Countries: 004 Number of Patents: 008

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 318224	A	19890531	EP 88310967	A	19881121	198922 B
JP 1134341	A	19890526	JP 87292463	A	19871119	198927
JP 1134342	A	19890526	JP 87292466	A	19871119	198927
JP 1134344	A	19890526	JP 87292468	A	19871119	198927
JP 1134345	A	19890526	JP 87292469	A	19871119	198927
JP 1134343	A	19890526	JP 87292467	A	19871119	198932
EP 318224	B1	19940316	EP 88310967	A	19881121	199411
DE 3888465	G	19940421	DE 3888465	A	19881121	199417
			EP 88310967	A	19881121	

Priority Applications (No Type Date): JP 88294888 A 19881121; JP 87292465 A 19871119; JP 87292466 A 19871119; JP 87292467 A 19871119; JP 87292468 A 19871119; JP 87292469 A 19871119; JP 87294888 A 19871121; JP 87292463 A 19871119

Cited Patents: 1.Jnl.Ref; A3...9017; EP 200138; EP 209113; FR 2582431; JP 60073617; JP 61249078; No-SR.Pub

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 318224	A	E	16		

Designated States (Regional): DE FR GB

EP 318224 B1 E 17 G02F-001/133

Designated States (Regional): DE FR GB

DE 3888465 G G02F-001/133 Based on patent EP 318224

Abstract (Basic): EP 318224 A

The substrate includes a number of gate bus lines formed parallel to each other. A number of source bus lines are formed so as to cross the gate bus lines. A number of transparent picture element electrodes are formed in each area defined by adjacent gate bus lines and source bus lines.

A switching device serves for connecting a picture element electrode to a source bus line. A circuit serves for switching on each picture element and is comprised of the corresponding gate bus line, source bus line and the switching device.

ADVANTAGE - Minimizes image defects such as line and picture

element defects caused by bus line breaks and inoperative TFTs.

1/23

Title Terms: ACTIVE; MATRIX; SUBSTRATE; LIQUID; CRYSTAL; DISPLAY; CIRCUIT;
SWITCH; PICTURE; ELEMENT; COMPRISE; GATE; LINE; SOURCE; BUS; LINE;
SWITCH

; TRANSISTOR

Derwent Class: P81; U12; U14

International Patent Class (Main): G02F-001/133

International Patent Class (Additional): G02F-001/13

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

02836742 **Image available**

ACTIVE MATRIX SUBSTRATE

PUB. NO.: 01-134342 [JP 1134342 A]

PUBLISHED: May 26, 1989 (19890526)

INVENTOR(s): KATAYAMA MIKIO

TANAKA HIROHISA

SHIMADA YASUNORI

MORIMOTO HIROSHI

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 62-292466 [JP 87292466]

FILED: November 19, 1987 (19871119)

INTL CLASS: [4] G02F-001/133; G09F-009/30; H01L-021/82

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components); 44.9 (COMMUNICATION
-- Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS --
Glass

Conductors)

JOURNAL: Section: P, Section No. 923, Vol. 13, No. 382, Pg. 142,
August 24, 1989 (19890824)

ABSTRACT

PURPOSE: To prevent a source bus line from being broken by branching a source line into plural lines at the intersection part of gate and source lines of a thin film transistor(TR) array formed in a matrix on an insulating substrate, interposing an insulator or laminate of an insulator and a semiconductor and forming respective layers separately in an island shape.

CONSTITUTION: A by-pass line 2 is formed in parallel to the gate bus line 1 and connected through a through hole 3 of an inter-layer insulating film to form two-layered structure. No by-pass line is provided at a part 4 of intersection with the source bus line. A by-pass line 6 is formed at the intersection part 4 separately from the source bus line 5 to form the laminate structure of a conductor thin film through the inter-layer insulating film and through hole 9. At the intersection part, an a-Si(n(sup +))/a-Si(i) layer 7 and an etching stopper SiN(sub x) layer 8 are separated in an island shape to reduce the possibility of the breaking of the source bus line due to the separation of the layers 7 and 8. This constitution improves the picture quality of the active matrix display device.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-134342

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)5月26日

G 02 F 1/133

3 2 7

7370-2H

G 09 F 9/30

3 3 8

7335-5C

H 01 L 21/82

7925-5F

審査請求 未請求 発明の数 1 (全9頁)

⑮ 発明の名称 アクティブマトリクス基板

⑯ 特 願 昭62-292466

⑰ 出 願 昭62(1987)11月19日

⑱ 発 明 者 片 山 幹 雄 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑲ 発 明 者 田 仲 広 久 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑳ 発 明 者 島 田 康 憲 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

㉑ 発 明 者 森 本 弘 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

㉒ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

㉓ 代 理 人 弁理士 青 山 葆 外2名

明 細 書

【従来技術とその問題点】

1. 発明の名称

アクティブマトリクス基板

2. 特許請求の範囲

(1) 絶縁性基板上に薄膜トランジスタアレイがマトリクス状に形成され、該トランジスタアレイのゲートバスラインとソースバスラインとのクロス部で、該ソースバスラインが2本あるいは2本以上に分岐しており、該クロス部では、ソースバスラインとゲートバスラインとの間に、一つの絶縁体の層あるいは絶縁体と半導体をそれぞれ一つ以上重ね合わせた層が介在しており、該層はそれぞれ、島状に分離して形成されていることを特徴とするアクティブマトリクス基板。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は液晶等と組み合わせてアクティブマトリクス表示装置を構成するための薄膜トランジスタアレイを有するアクティブマトリクス基板に関する。

アクティブマトリクス表示装置において、絵素欠陥や線状欠陥が発生することは、重大な品位不良となる。これらの欠陥を防止するためには、アクティブマトリクス基板におけるゲートバスライン、ソースバスラインの断線、線間リークあるいは薄膜トランジスタ(以下TFTと称する)の動作不良をなくす必要がある。これらの欠陥原因としては、ホトリソグラフィプロセスあるいは薄膜形成プロセスにおけるゴミ、異物または膜の剥離がある。

以下に従来構造のTFTアクティブマトリクス基板について説明する。第24図は、TFTをそれぞれ含む絵素(A₀₀)をマトリクス状に配置したTFTアクティブマトリクス基板である。従来構造のTFTおよびバスライン、絵素電極を第22図、第23図に示す。第23図は第22図におけるB-B'断面を示す図である。ガラス基板S上にゲートバスラインa、bをタンタル(Ta)で形成し、ゲート酸化膜は酸化タンタル(Ta₂O₅)

層c、窒化シリコン(SiNx)層dの二重構造となっており、半導体層e、fは真性アモルファスシリコン(a-Si(i))であり、ソースバスラインg、hはチタン(Ti)、ドレイン電極i、jはチタン、接触電極k、lはITO膜(酸化インジウム透明導電膜)、半導体層とソース・ドレイン電極の間には、エッチングストッパー層としての窒化シリコン層r、mおよびn型アモルファスシリコン(a-Si(n'))層p、qが形成されている。また、ソースバスラインgとゲートバスラインaのクロス部にはソース・ゲート間のリークを防止するため、a-Si(i)/a-Si(n')層xおよびエッチングストッパー層nが形成されている。ここでゲートバスラインa、bのタンタルあるいはソースバスラインg、hのチタンが何らかの原因で断線した場合、従来構造のアクティブマトリクス基板においては線状欠陥が生じる。またTFTについても何らかの原因で破損すると、従来構造のアクティブマトリクス基板においては線欠陥が生じる。

【作用】

アクティブマトリクス基板における、ソースバスラインの断線及びソースバスラインとゲートバスラインとのリークの発生確率を低下させる。

【実施例】

第1図に、本発明の実施例である各種の冗長性を持たせたアモルファスシリコン(a-Si)半導体TFTアクティブマトリクス基板を示す。参照番号1、5はそれぞれゲートバスライン、ソースバスラインである。TFT11はゲートバスラインから引き出された電極13とソースバスラインから引き出された電極15とに接続されている。また参照番号14はドレイン電極であり、透明導電膜であるITO膜12に接続している。以上の基本構成は従来例と同じである。以下に本発明の各種の冗長性を持たせた部分について、①ゲートバスライン、②ソースバスライン、③線路について説明する。

①ゲートバスライン

通常のゲートバスライン1と平行にバイパスラ

そのため、従来はこれらの欠陥を防止するため、プロセス上の対策がなされていたが、完全に防止することは困難であった。

本発明は上記の欠点に鑑み、アクティブマトリクス基板において、ソースバスラインの断線による線状欠陥を防止し、アクティブマトリクス表示装置の画像品位の向上を図るためのアクティブマトリクス基板の構造を提供することを目的とする。

【問題点を解決するための手段】

そこで、本発明に係るアクティブマトリクス基板は、絶縁性基板上に薄膜トランジスタアレイがマトリクス状に形成され、該トランジスタアレイのゲートバスラインとソースバスラインとのクロス部で、該ソースバスラインが2本あるいは2本以上に分岐しており、該クロス部では、ソースバスラインとゲートバスラインとの間に、一つの絶縁体の層あるいは絶縁体と半導体をそれぞれ一つ以上重ね合わせた層が介在しており、該層はそれぞれ、島状に分岐して形成されていることを特徴とする。

イン2を設けている。この様にバイパスを設けることにより、実効的にバスラインの線幅が増加する。また、バスライン材料が剥離した場合でも、両方のバスライン1、2が同時に剥離する確率は、バスラインが一本の場合の剥離の確率よりも低くなるので、バスライン1、2のどちらかに剥離が生じても、以上の冗長性を持たせることによりTFT全体としては欠陥のない作動性の良好なものとなる。また、第21図に示されるように、ゲートバスラインは2層の導電体薄膜であるチタン、タンタルより形成されており、該導電体薄膜の各層間には絶縁体薄膜が設けられているので、該導電体薄膜の各層間を電氣的に接続するためのスルーホール3が設けられている。スルーホール3を通じて各導電膜間を接続することによって、ゲートバスラインの抵抗の低減にも有効なようになっている。また、ソースバスラインとのクロス部4は、クロス数を減らすためにバイパス部を設けていない。クロス部を増やすと、ソース・ゲート間での上下リークが発生し易くなり、かつ浮遊容量

特開平1-134342(3)

も増加してしまうからである。

②ソースバスライン

通常のソースバスライン5とは別にゲートバスラインとのクロス部にはバイパスライン6を設けている。バイパスライン6を設けることで、実効的にソースライン線幅が増加する。また、ゲートバスラインの場合と同様にソースバスライン全体の剥離の発生確率を低下させることができる。

また、第16図～第20図に詳しい断面を示すが、ソースバスラインも2層以上の導電体薄膜より形成されており、該導電体薄膜の各層間には絶縁体薄膜が設けられているので、該導電体薄膜の各層間を電気的に接続するためのスルーホール9が設けられている。スルーホール9を通じて各導電体薄膜間を接続することによって、ソースバスラインの断線防止と同時にソースバスラインの抵抗低減にも有効となっている。参照番号7,8はそれぞれソースバスラインとゲートバスラインとのリークを防止するための半導体膜である $a-Si(n^+)$ / $a-Si(i)$ 層、エッチングストッパー SiN_x

x層である。7,8それぞれは各クロス部において島状に分離して形成されている。これは $a-Si(n^+)$ / $a-Si(i)$ 層7、エッチングストッパー SiN_x 層8が剥離することによって起こるクロス部におけるソースバスラインの断線の確率を、島状に分離させるという冗長性によって低下させている。

③線素

各線素の駆動を行うTF Tは、TF T11,11の様に、一つの線素に対して2個設けられる。ここでは、ゲートバスラインからソースバスラインと平行に延びたTF T接続用リードゲートライン13を介して、2個のTF Tが並列に線素に接続されている。即ち、TF T11,11は同一ゲートバスラインと同一ソースバスラインに接続されている。二つのTF Tにおいて同時にソースあるいはゲートの断線の発生確率を抑えるため、なるべく間隔を大きくしている。また、ドレイン電極14は、後述するように、チタンと線素電極材料ITOを用いた2層構造となっている(第19図、第20図参照)。

以上の参照番号1,5,13等はソースバスライン、ゲートバスライン、ゲートバスラインからの引き出しライン等それら自身を要すのに用いたが、以下それらを構成する薄膜層をも要することとする。

【製造プロセスの説明】

次に、第1図のTF Tアクティブマトリクス基板の製造プロセスを、第2図～第8図を参照しながら説明する。なお、以下の図に示す斜線部は、その時のプロセスにおける形成又は処理される部分を示している。

(プロセス1)

第2図に示すように、透明な絶縁性ガラス基板50上に膜厚500Å～5000Åのタンタルを蒸着して、ホトリソグラフィプロセスにより斜線部の様にパターンニングを行う。第2図において、通常のゲートバスライン1と平行にゲートバイパスライン2を設けている。また、ソースバスラインとのクロス部4ではバイパスラインは形成されていない。これは前述した様に、ソース・ゲートのクロ

ス部を増やすと、ソース・ゲート間での上下リークが起こりやすくなり、かつ浮遊容量も増加してしまうからである。

(プロセス2)

次に、第3図の斜線部のように、第2図のソースバスラインとなる5を除いて、つまりゲートバスラインを陽極酸化プロセスによりタンタル表面を酸化して膜厚500Å～5000Åの Ta_2O_5 を形成する。

(プロセス3)

そして、PCVD法によりゲート絶縁膜 SiN_x 層、 $a-Si(i)$ 半導体層、エッチングストッパー SiN_x 層をそれぞれ膜厚500Å～8000Å,50Å～4000Å,300Å～5000Åに形成した後、ホトリソグラフィプロセスでパターンニングしてエッチングストッパー層だけを第4図の斜線部8のように形成する(第13図参照)。

(プロセス4)

そして、PCVD法により膜厚200Å～2000Åの $a-Si(n^+)$ 層を成膜した後、第5図の斜線部7、

7で示すように、 $a-Si(n^+)$ / $a-Si(l)$ 層は島状に分離してホトリソグラフィプロセスでパターンニングされる(第15図参照)。

(プロセス5)

次に、第6図に示すように、ソースバスライン上のゲート絶縁膜である $SiNx$ 層にスルーホール9を開ける。また、ゲートバスライン上の絶縁体層である $SiNx/Ta_2O_5$ 層にもスルーホール3を開ける。スルーホールはそれぞれ2個ずつ開けられる。これは、ホトリソグラフィプロセス不良でどちらかのスルーホールがふさがった場合のために、やはり冗長性を持たせてスルーホールの欠陥を少なくするためである(第16図、第21図参照)。

(プロセス6)

続いて、チタンを膜厚が500Å~5000Åとなるようスパッタ蒸着し、第7図の斜線部のパターンのようにチタン、 $a-Si(n^+)$ をエッチングする。ところで、前述のスルーホール9、3を通して(プロセス1)において形成したパターンのタンタル

次に、第9図のタンタルを、第2図に示すパターンで断面が第10図のようにパターンニングする。そして、第3図の斜線部のごとくゲートバスラインのみを酸化して酸化膜を第11図のように形成する。そして、PCVD法によりゲート酸化膜 $SiNx$ 、半導体層 $a-Si(l)$ 、エッチングストッパー層をそれぞれ膜厚500Å~8000Å、50Å~4000Å、300Å~5000Åに形成する(第12図)。そしてホトリソグラフィプロセスで第12図におけるエッチングストッパー層を第4図に示す島状のエッチングストッパー層8に形成する(第13図)。次にPCVD法により膜厚200Å~2000Åの半導体層 $a-Si(n^+)$ を成膜する(第14図)。そしてホトリソグラフィプロセスで、第12図及び第14図において形成された半導体層 $a-Si(n^+)$ 、 $a-Si(l)$ を同時に、第5図の島状のパターン7に形成する(第15図)。次に、ゲート酸化膜 $SiNx$ にスルーホール9を開ける(第16図)。その後、チタンを膜厚500Å~5000Åにスパッタ蒸着した(第17図)後、チタン、 $a-Si(n^+)$ を、

と、当プロセスにおいて蒸着したチタンとが、このチタン自身がスルーホール内に入り込むことで電気的に接続される。従って、ゲートバスライン、ソースバスラインともにチタン・タンタルの上下2重構造となる(第17図、第18図参照)。

(プロセス7)

次に、陰素電極材料であるITOを、膜厚300Å~3000Åにスパッタ蒸着した後、ホトリソグラフィプロセスで第8図の斜線部のようにITO膜をパターンニングする。なお、ITOは、陰素電極及びTPFのドレイン電極14以外にも、ソースバスライン上やゲートバスラインの一部の上にもパターンニングされ、(プロセス6)によるチタンの断線の発生を抑制することができる。

【断面図による製造プロセスの説明】

次に、本発明に係るアクティブマトリクス基板の製造プロセスを、第1図におけるA-A'断面に関して説明する。

第9図は、ガラス基板50上に、膜厚500Å~5000Åのタンタルを蒸着したところを示している。

第7図に示すようにソースバスラインのパターンにホトリソグラフィプロセスで形成し(第18図)、陰素電極となるITOを膜厚300Å~3000Åにスパッタ蒸着した(第19図)後、第8図の斜線部の様にパターンニングする(第20図)。

以上が、第1図のA-A'断面に関しての製造プロセスである。

最後に、参考のために、第1図のC-C'断面図を第21図に示しておく。

【効果】

本発明によるアクティブマトリクス基板を用いたアクティブマトリクス液晶表示装置における線状欠陥の発生確率を低下させることが可能となる。従って、アクティブマトリクス液晶表示装置の製造歩留まりを向上させる事ができる。

4. 図面の簡単な説明

第1図は、本発明に係るアクティブマトリクス基板の薄膜トランジスタの構造図である。

第2図~第8図はそれぞれ、第1図における薄膜トランジスタアレイ製造プロセスを示す図であ

る。

第9図～第20図はそれぞれ、第1図における薄膜トランジスタアレイのA-A'線方向の製造プロセスを示す断面図である。

第21図は、第1図における薄膜トランジスタアレイのC-C'線方向の断面図である。

第22図は、従来製造の薄膜トランジスタを示す図である。

第23図は、第22図における薄膜トランジスタのB-B'線方向の断面図である。

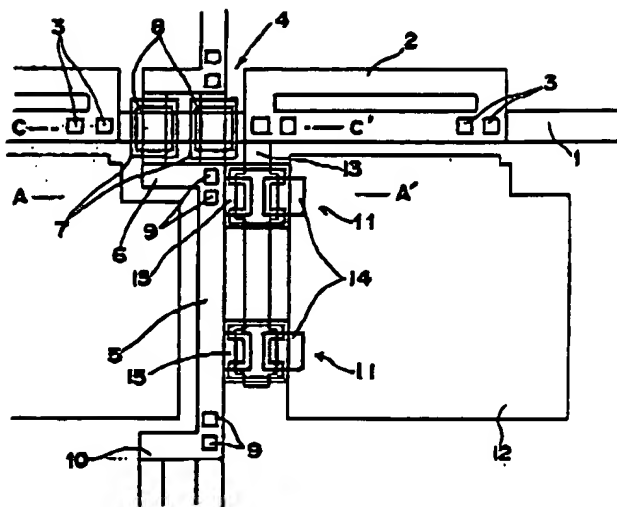
第24図は、薄膜トランジスタを含む素子(A...)をマトリクス状に配置したアクティブマトリクス基板を示す図である。

1…ゲートバスライン、4…ソースバスラインとゲートバスラインのクロス部、5…ソースバスライン、6…ソースバスラインのバイパスライン、7…半導体薄膜層、8…絶縁体薄膜層、50…ガラス基板。

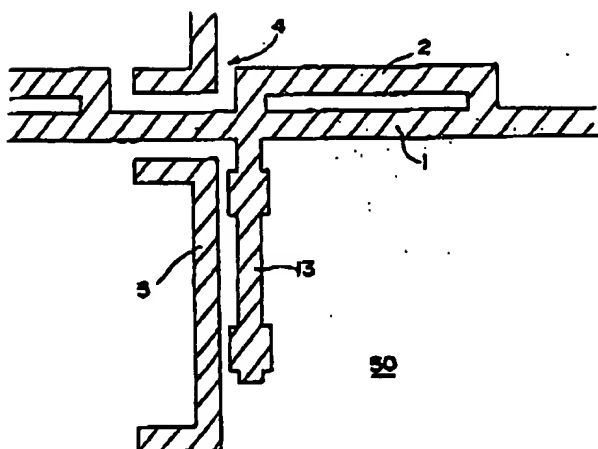
特許出願人 シャープ株式会社

代理人 弁理士 青山 篤ほか2名

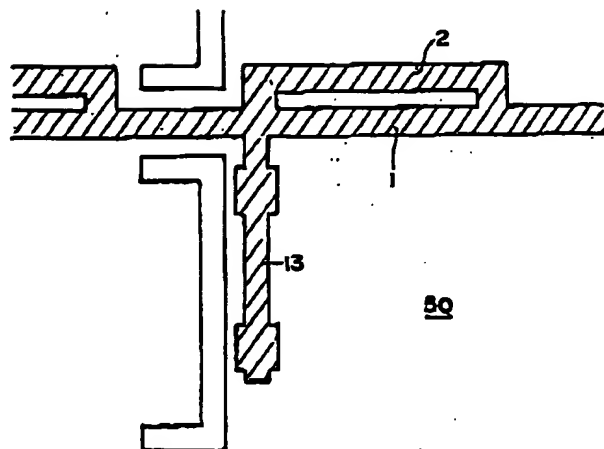
第1図



第2図

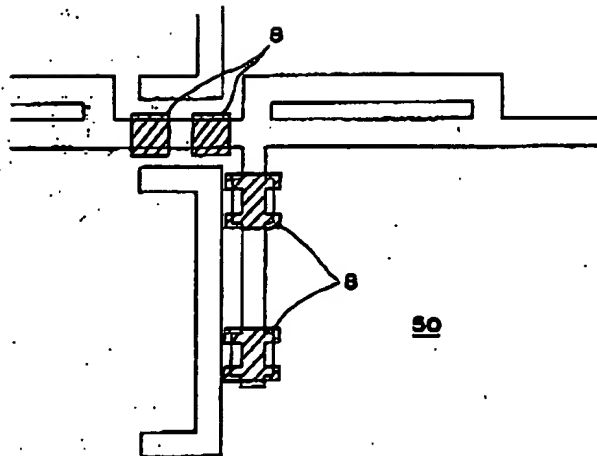


第3図



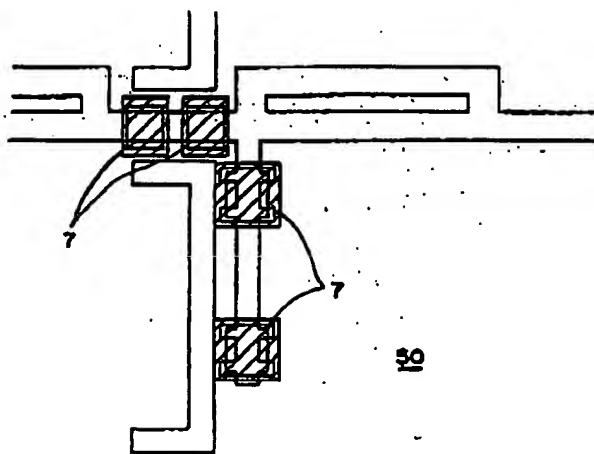
BEST AVAILABLE COPY

第4図

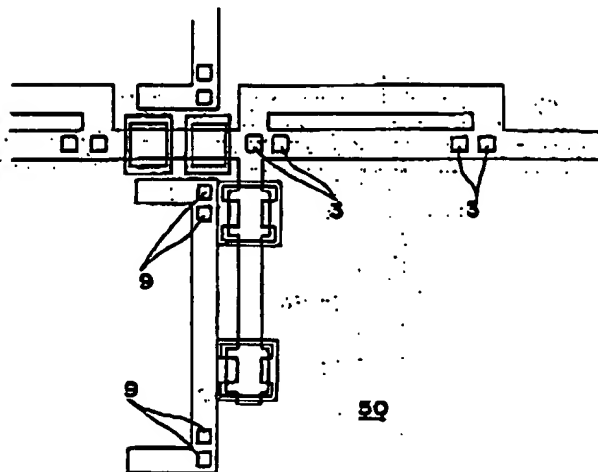


BEST AVAILABLE COPY

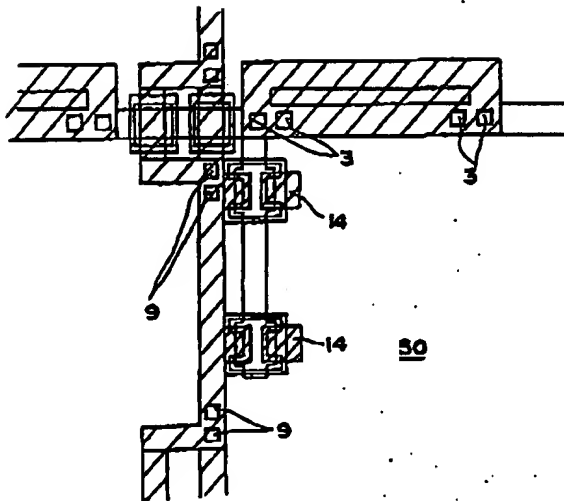
第5図



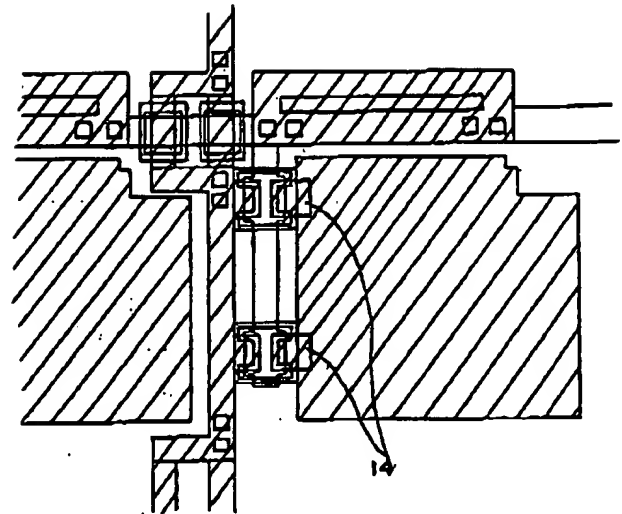
第6図



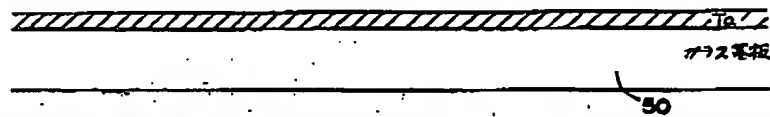
第7図



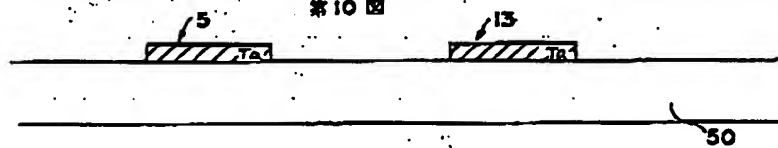
第8図



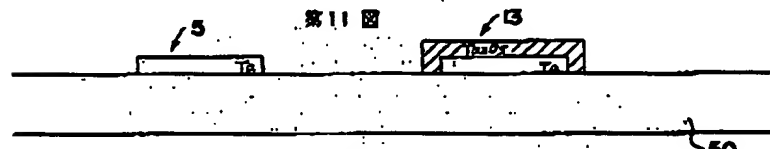
第9図



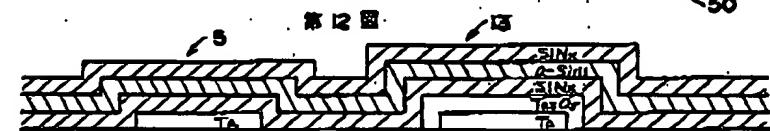
第10図



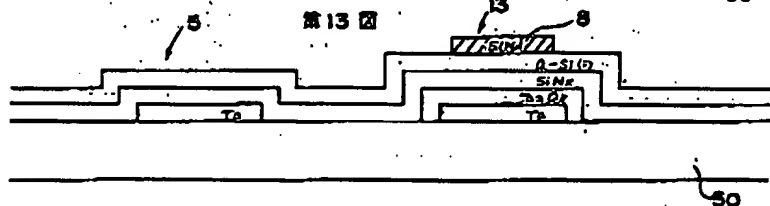
第11図



第12図

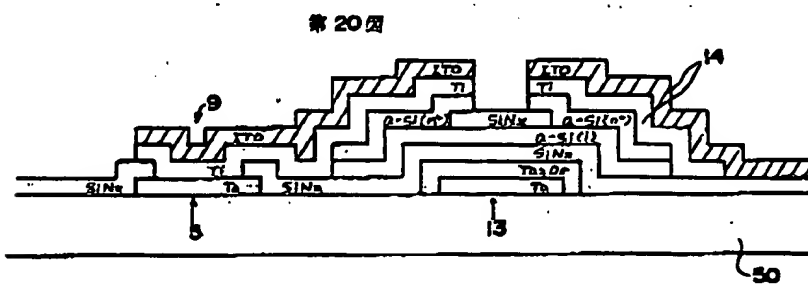
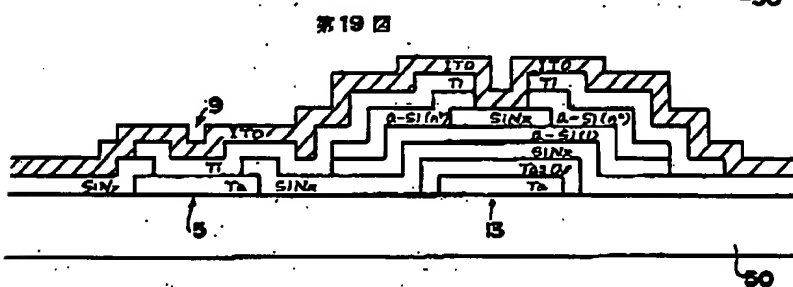
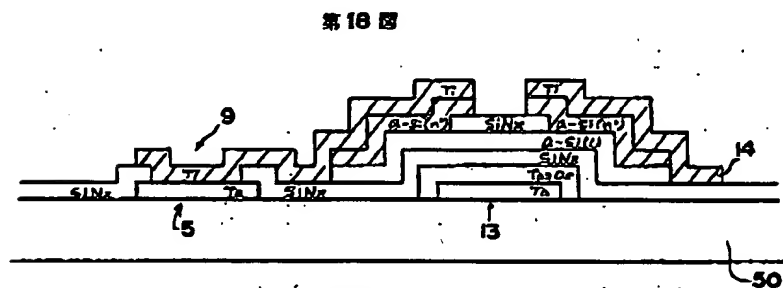
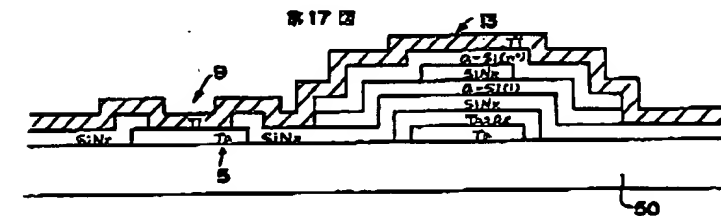
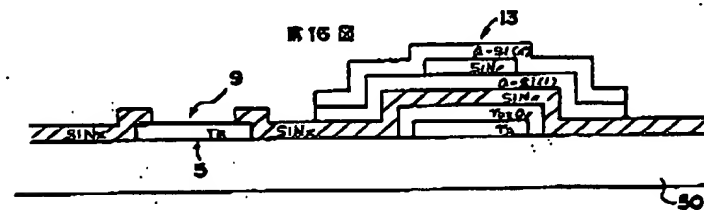
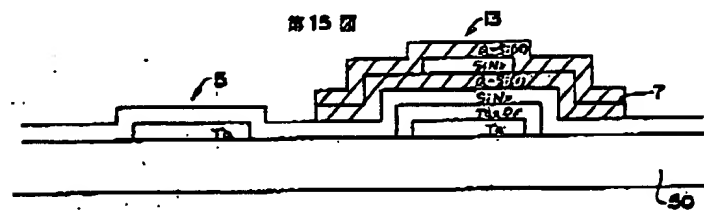
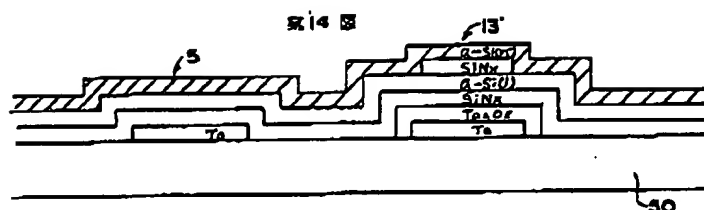


第13図



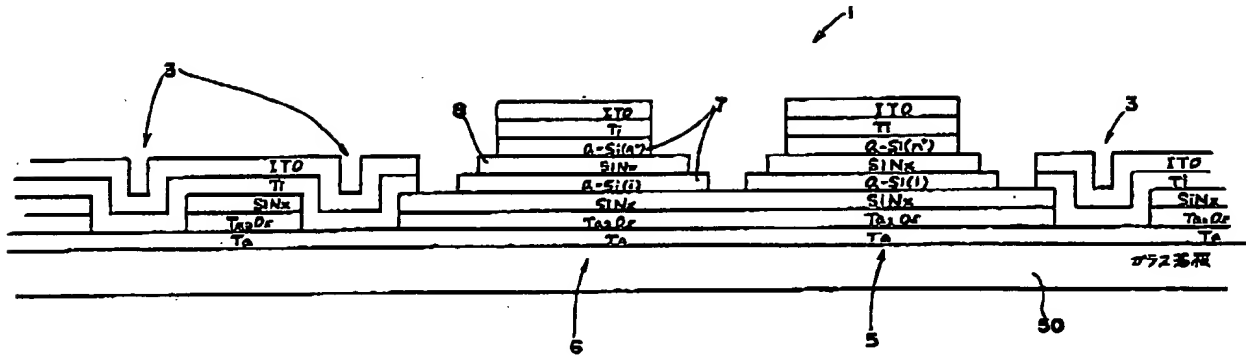
BEST AVAILABLE COPY

BEST AVAILABLE COPY

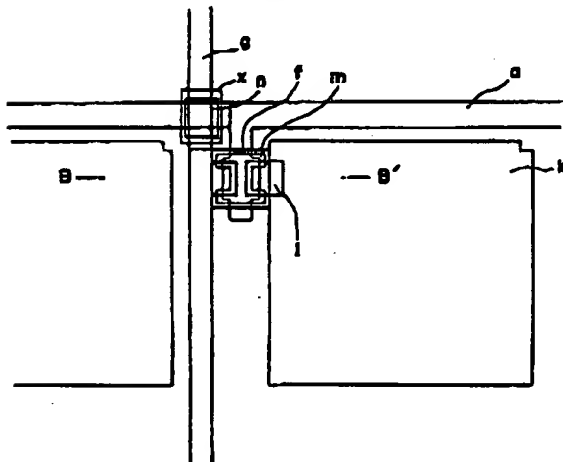


BEST AVAILABLE COPY

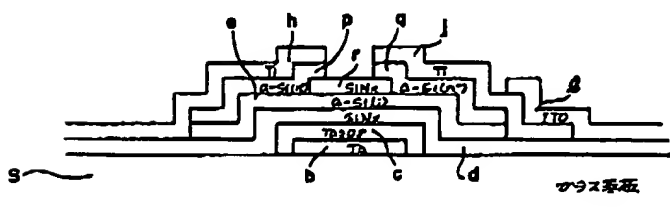
第21図



第22図



第23図



第24図

	Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	---	Yn
X1	A11	A12	A13	A14	A15	A16	A17	---	---	A1n
X2	A21	A22	A23	A24	A25	A26	A27	---	---	A2n
X3	A31	A32	A33	A34	A35	A36	A37	---	---	A3n
X4	A41	A42	A43	A44	A45	A46	A47	---	---	A4n
X5	A51	A52	A53	A54	A55	A56	A57	---	---	A5n
X6	A61	A62	A63	A64	A65	A66	A67	---	---	A6n
X7	A71	A72	A73	A74	A75	A76	A77	---	---	A7n
X8	---	---	---	---	---	---	---	---	---	---
...
Xm	Am1	Am2	Am3	Am4	Am5	Am6	Am7	---	---	Amn